

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 24.07.78 (21) 2648477/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.07.80, Бюллетень № 28

Дата опубликования описания 30.07.80

(11) 752476

(51) М. Кл.<sup>3</sup>

G 11 C 11/34  
G 11 C 17/00

(53) УДК 681.

.327.67  
(088.8)

(72) Авторы  
изобретения

В. В. Калинин и Б. И. Колкер

(71) Заявитель

(54) ЯЧЕЙКА ПАМЯТИ

1

Изобретение относится к микроэлектронике и может быть использовано для создания полупроводниковых запоминающих устройств (ЗУ) как оперативных, так и электрически перепрограммируемых постоянных запоминающих устройств (ППЗУ).

Известны ячейки ППЗУ с произвольной выборкой, представляющие собой р-канальный МНОП-транзистор, состоящий из слабо легированной кремниевой подложки п-типа, двух расположенных в приповерхностном слое подложки на некотором расстоянии друг от друга сильно легированных областей р-типа (сток и исток), являющихся диффузионными шинами (разрядная шина и шина питания) и последовательно нанесенных на подложку слоев двуокиси кремния, нитрида кремния и металлического слоя, являющегося затвором [1] и [2].

В другой ячейке памяти используется сочетание ПЗС сдвигового регистра и запоминающего МНОП-конденсатора, в котором после каждого третьего ПЗС-элемента расположен МНОП-конденсатор. Здесь на кремниевую подложку п-типа последовательно нане-

2

сены слои двуокиси кремния переменной толщины (в области ПЗС-элемента толщина слоя составляет 500 Å, а в области МНОП-конденсатора - 20 Å) и нитрида кремния толщиной 500 Å, на слое нитрида кремния расположены алюминиевые электроды, служащие затворами ПЗС-элемента и МНОП-конденсатора [3].

Недостатком описанных конструкций является большая площадь ячейки и отсутствие произвольной выборки из ЗУ на основе данной ячейки.

Наиболее близким к изобретению техническим решением является ячейка памяти, содержащая полупроводниковую подложку с V-образными параллельными канавками, расположенными в приповерхностном слое полупроводниковой подложки до соединения с легированными диффузионными областями внутри полупроводниковой подложки, противоположного ей типа проводимости, первый слой диэлектрика на поверхности которого в V-образных параллельных канавках размещены тактовые шины, на поверхности которых и первого слоя диэлектрика расположен второй защитный слой диэлектри-

5

10

15

20

25

30

ка. Кроме того, в полупроводниковой подложке размещены также разрядные диффузионные шины [4].

Недостатком этой ячейки является только оперативный режим работы и трудность стирания информации в режиме ПЗУ.

Цель изобретения - повышение степени интеграции ячейки памяти и обеспечение произвольной выборки в сочетании с последовательной выборкой и электрическим стиранием информации.

Поставленная цель достигается тем, что в ячейку памяти введены шины выборки, расположенные на втором слое диэлектрика перпендикулярно тактовым шинам, и образующие с полупроводниковой подложкой между тактовыми шинами МНОП-конденсаторы.

И тем, что легированные диффузионные области выполнены одинаково с полупроводниковой подложкой типа проводимости и с концентрацией примеси не менее, чем в 10 раз превышающей концентрации примеси в полупроводниковой подложке.

На фиг. 1 показана предлагаемая ячейка памяти; на фиг. 2 - перенос заряда в ПЗС-элементе; на фиг. 3 и 4 - пояснение работы ячейки при записи и считывании информации, соответственно; на фиг. 5 - возможная конструкция матрицы памяти.

В полупроводниковой подложке 1 выполнены V-канавки 2, дно которых находится в контакте с диффузионными областями 3, выполненными в подложке и совпадающими с ней по типу проводимости. В промежутках между V-канавками расположены элементы запоминающего МНОП-конденсатора: диэлектрические слои 4  $\text{SiO}_2$  - толщиной 20-50 Å и  $\text{Si}_3\text{N}_4$  - 5 толщиной 600-1000 Å и Al шины 6 выборки.

На боковых гранях V-каналов, прилегающих к запоминающему конденсатору, последовательно расположены элементы ПЗС структуры, включающей подзатворный окисел 7 из  $\text{SiO}_2$  толщиной 1000-1200 Å, совпадающий с диэлектрическим слоем 4 запоминающего конденсатора, и тактовые электроды 8 и 9 из поликремния, изолированного от электрода МНОП-конденсатора окислом 10. Области 3 служат для увеличения порогового напряжения участка ПЗС-элемента, расположенного в углублении V-канавки. Концентрация примеси в этой области не менее, чем в 10 раз превышает концентрацию примеси в подложке, что обеспечивает пороговое напряжение на указанном участке больше, чем максимальное рабочее напряжение на ПЗС-электроре.

Рассмотрим передачу заряда в ПЗС-элементе запоминающего устройства (фиг. 2). На полупроводниковой подложке 1 n-типа расположены p+ область 11, образующая с подложкой p-n

переход, подзатворный диэлектрик 7 (фиг. 1) толщиной 1000 + 1200 Å и шина 8, например из поликристаллического кремния (фиг. 1). Отрицательное напряжение на конце шины 8 подается таким образом, что  $|V_{d2}| > |V_{d1}|$ , где  $V_{d1}$  - напряжение на конце шины 8 на границе с областью 11,  $V_{d2}$  - напряжение на противоположном конце шины 8. В результате в полупроводниковой подложке под электродом образуется потенциальная яма, причем глубина ее в месте приложения  $V_{d1}$  меньше, чем в месте приложения  $V_{d2}$ . Если входной p-n переход заземлен  $V_s = 0$  (где  $V_s$  - напряжение на p-n переходе), то из p+ области 11 перетекают в потенциальную яму неосновные носители (дырки) и за счет действия градиента напряжений под шиной перемещаются в место большего поверхностного потенциала (место приложения  $V_{d2}$ ). Аналогично в конструкции, показанной на фиг. 1, передача заряда осуществляется по боковым граням V-канавки.

Область p+11 не является конструктивным элементом ячейки памяти и показана только для иллюстрации работы ПЗС-элемента устройства.

Запись логического "0" в МНОП-конденсатор осуществляется следующим образом (фиг. 3).

На шину МНОП-конденсатора 6 подается отрицательное напряжение 35-40 В. При этом под МНОП-конденсатором образуется глубокая потенциальная яма (условно показанная штриховой линией). Заполнение потенциальной ямы под МНОП-конденсатором неосновными носителями осуществляется по ПЗС-элементу, расположенному в V-канавках. Перетекание заряда из потенциальной ямы, образованной на боковой грани V-канавки в потенциальную яму МНОП-конденсатора осуществляется при большем поверхностном потенциале под МНОП-конденсатором относительно поверхностного потенциала боковой грани V-канавки, т. е.

$$|V_3| > |U_{d1}| \text{ при } V_{d2} = 0,$$

где  $V_3$  - напряжение на затворе МНОП-конденсатора;

$V_{d1}$  - напряжение на ПЗС шине 8;

$V_{d2}$  - напряжение на ПЗС шине 9.

Заполнение потенциальной ямы неосновными носителями, при  $V_3 = 35-40$  В (напряжение записи в МНОП-элементе памяти) ведет к накоплению заряда на границе раздела окисел 4-нитрид кремния 5, т. е. увеличению порогового напряжения МНОП-конденсатора, что соответствует записи логического "0".

Запись логической "1" осуществляется при подаче положительного напряжения на шину МНОП-конденсатора 6 при нулевых потенциалах на ПЗС-элементе в V-канавках.

Логической "1" соответствует низкое, а логическому "0" - высокое пороговое напряжение МНОП-конденсатора.

В случае низкого порогового напряжения при подаче отрицательного потенциала 10-12 В на шину МНОП-конденсатора (фиг. 3) под ним образуется потенциальная яма, способная хранить и переносить заряд неосновных носителей (для  $n$ -подложки-дырки).

В случае высокого порогового напряжения потенциальная яма под МНОП-конденсатором при подаче отрицательного смещения 10-12 В на шину 6 (фиг. 3) отсутствует.

Считывание информации из ячейки памяти происходит следующим образом.

На шину МНОП-конденсатора 6 (фиг. 4) подается отрицательный потенциал  $V_3$  10-12 В (оптимальное напряжение считывания информации из МНОП-элемента). При этом в случае записанной в ячейку логической "1" под электродом имеется потенциальная яма, через которую протекают неосновные носители заряда из потенциальной ямы, образованной под шиной ПЗС 8 в потенциальную яму шины ПЗС 9. Перенос заряда через потенциальную яму МНОП-конденсатора осуществляется при следующем распределении потенциалов

$$|V_{d2}| > |V_{d1}| > |V_{d3}|,$$

где  $V_{d1}$  - напряжение на шине ПЗС 8;

$V_{d2}$  - напряжение на шине ПЗС 9.

При считывании логического "0" пороговое напряжение МНОП-конденсатора примерно соответствует поданному напряжению на шину 6 выборки, под электродом МНОП-конденсатора потенциальная яма не образуется и протекание заряда из потенциальной ямы 8 в потенциальную яму шины 9 не происходит.

Наличие носителей в потенциальной яме шины 9 соответствует регистрации логической "1", а его отсутствие - логического "0".

В качестве примера на фиг. 5 показана возможная организация матрицы памяти с использованием предлагаемой ячейки, где 6 и 6' - шины МНОП-конденсатора 8, 8', 9 и 9' - тактовые шины ПЗС, 11 - входные  $p$ - $n$  переходы, 12 - выходные  $p$ - $n$  переходы.

На фиг. 5 показано стрелкой протекание заряда при считывании логической "1" из ячейки памяти, например, 13: инжекция заряда из входного  $p$ - $n$  перехода 11 в ПЗС-электрод, расположенного в  $V$ -канавке 2 (участок I); протекание заряда по боковой грани ПЗС шины 8 (участок II); перенос заряда из ПЗС-шины 8 в ПЗС-шину 9 через МНОП-конденсатор с низким пороговым напряжением 13, на ши-

ну 6 которого подано отрицательное напряжение 10-12 В (участок III); перенос заряда по боковой грани ПЗС шины 9, расположенного в  $V$ -канавке 2 (участок IV) к выходному  $p$ - $n$  переходу (участок V). Считывание информации только из ячейки 13 обеспечивается наличием потенциалов на затворной шине МНОП-конденсатора 6 и шинах ПЗС 8 и 9 при нулевых потенциалах на шинах 6, 8 и 9. Аналогичным образом может быть считана информация из любой ячейки памяти запоминающего устройства.

Таким образом, размещение ПЗС-электродов по боковым сторонам МНОП-элемента памяти с переменным порогом в  $V$ -канавках и наличие областей с повышенной концентрацией примеси, находящихся в контакте с дном  $V$ -канавки, обеспечивают произвольную выборку из запоминающего устройства за счет переноса заряда по боковым граням  $V$ -канавки.

Теоретические расчеты показывают, что время выборки одного бита информации в матрице, основанной на предлагаемой ячейке, может составить 1-2 мс, а площадь ячейки может быть уменьшена в 5-6 раз по сравнению с существующими и составляет 150-200  $\mu\text{м}^2$  при использовании фотомаски с минимальной шириной линии 5  $\mu\text{м}$ .

Формула изобретения

1. Ячейка памяти, содержащая полупроводниковую подложку с  $V$ -образными параллельными канавками, расположенными в приповерхностном слое полупроводниковой подложки до соединения с легированными диффузионными областями внутри полупроводниковой подложки, первый слой диэлектрика, на поверхности которого в  $V$ -образных параллельных канавках размещены тактовые шины, на поверхности которых и первого слоя диэлектрика расположен второй слой диэлектрика, отличающаяся тем, что, с целью повышения степени интеграции ячейки, она содержит шины выборки, расположенные на втором слое диэлектрика перпендикулярно тактовым шинам, и образующие с полупроводниковой подложкой между тактовыми шинами МНОП-конденсаторы.

2. Ячейка по п. 1, отличающаяся тем, что легированные диффузионные области выполнены одностороннего с полупроводниковой подложкой типа проводимости и с концентрацией примеси не менее, чем в 10 раз превышающей концентрацию примеси в полупроводниковой подложке.

Источники информации,  
принятые во внимание при экспертизе

1. Микроэлектроника и полупроводниковые приборы. Вып. 1, 1976, М., "Сов. радио", с. 58-76.

2. Патент США № 3893085, кл. 340-173, 1975.

3. "IEEE J. of Solid State Circuits", 1974, V. SC-9, № 3, p. 148-150.

4. "Электроника", 1977, № 17, с. 42-45 (прототип).

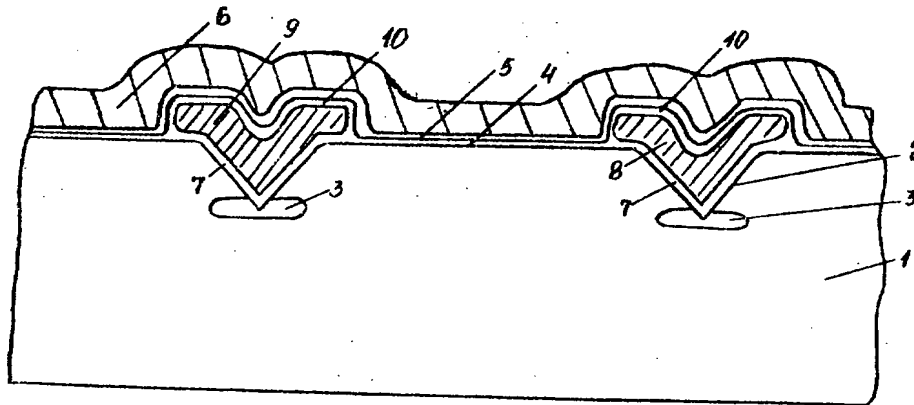


Fig. 1

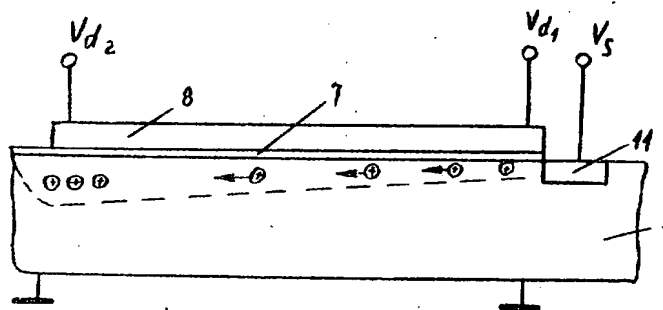


Fig. 2

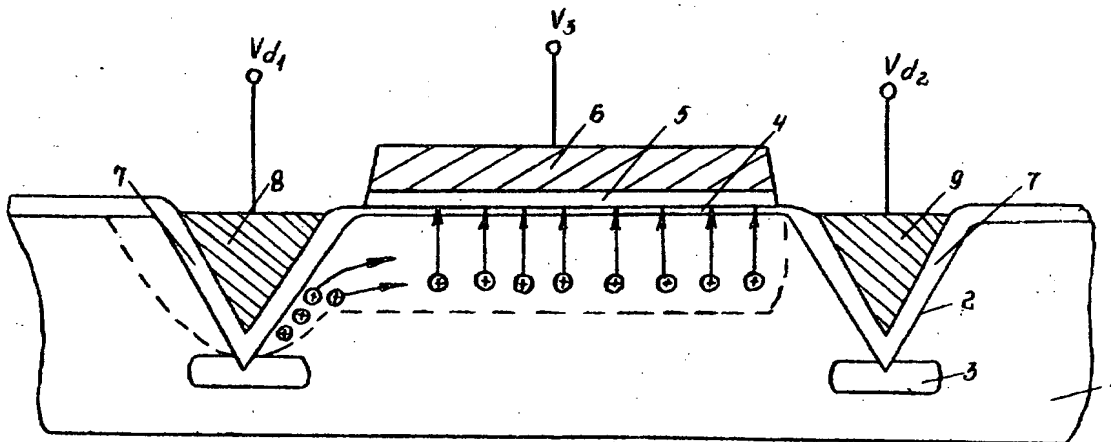
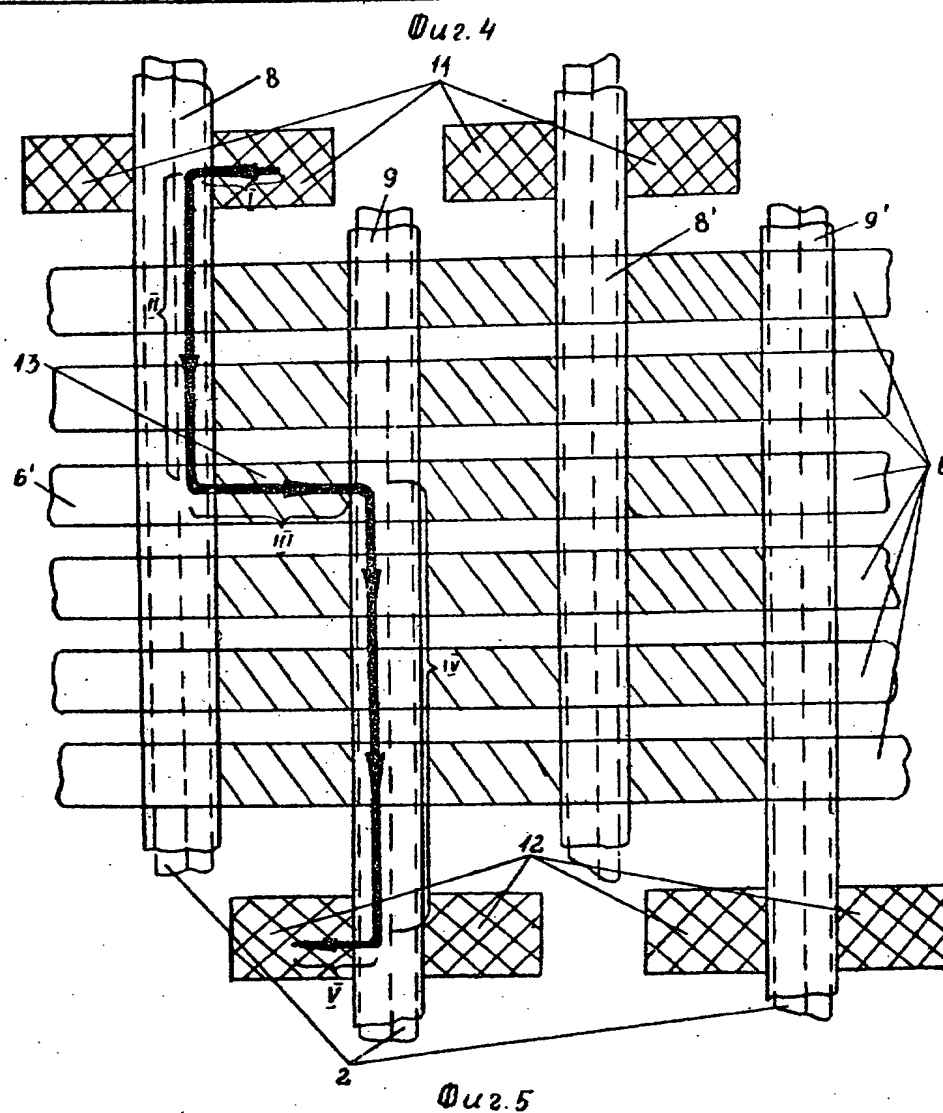
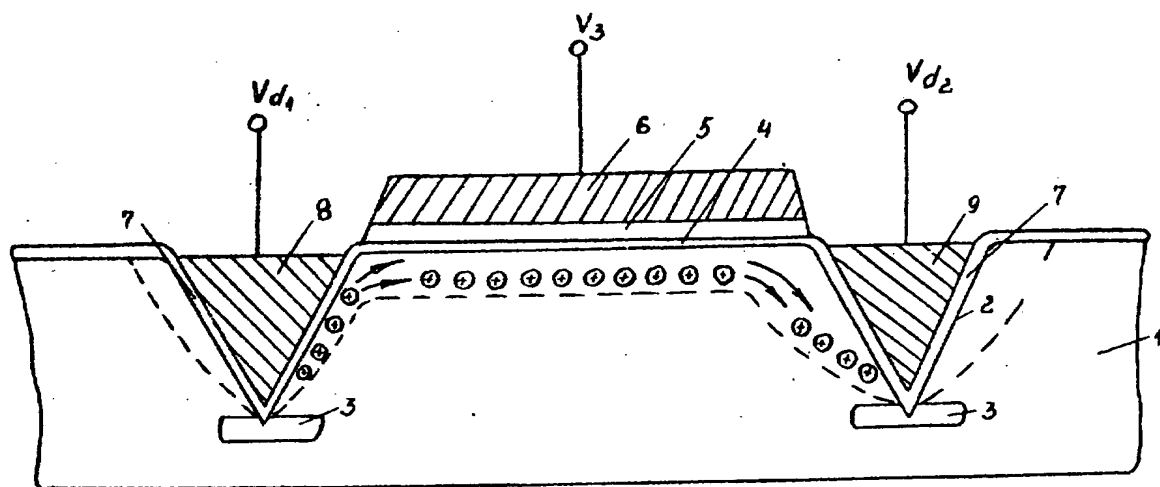


Fig. 3



**THIS PAGE BLANK (USPTO)**

**STORAGE CELL**

Patent Number: SU752476  
Publication date: 1980-07-30  
Inventor(s): KOLKER BORIS; KALINIKOV VSEVOLOD V  
Applicant(s): KOLKER BORIS;; KALINIKOV VSEVOLOD V (SU)  
Requested Patent: SU752476  
Application Number: SU19782648477 19780724  
Priority Number(s): SU19782648477 19780724  
IPC Classification: G11C11/34; G11C17/00  
EC Classification:  
Equivalents:

---

**Abstract**

---

---

Data supplied from the esp@cenet database - I2

DOCKET NO: P2000,0167 CIP

SERIAL NO: 09/927,573

APPLICANT: Palm et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 325-1100